

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001－53033
(P2001－53033A)

(43)公開日 平成13年 2月23日 (2001.2.23)

(51)Int.Cl.⁷
H 0 1 L 21/301

識別記号

F I
H 0 1 L 21/78

テーマコード* (参考)
Q

審査請求 有 請求項の数 4 O L (全 11 頁)

(21)出願番号 特願平11－228665

(22)出願日 平成11年 8月12日 (1999.8.12)

(71)出願人 390020248
日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目24番1号
(72)発明者 升本 睦
大分県速見郡日出町大字川崎字高尾4260番
地 日本テキサス・インスツルメンツ株式
会社内
(72)発明者 榊本 健治
大分県速見郡日出町大字川崎字高尾4260番
地 日本テキサス・インスツルメンツ株式
会社内
(74)代理人 100094053
弁理士 佐藤 隆久

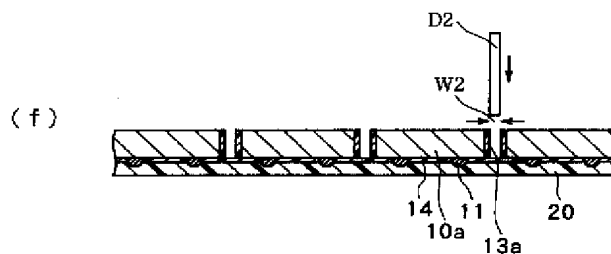
最終頁に続く

(54)【発明の名称】 半導体装置のダイシング方法

(57)【要約】

【課題】ダイサーの歯の樹脂による目詰まりやシリコンくずの原因となる半導体チップのクラックを防止する半導体装置のダイシング方法を提供する。

【解決手段】本発明の半導体装置のダイシング方法は、主面に複数の電子回路が形成されている半導体ウエハに上記主面から上記電子回路を区画する溝を形成する工程と、上記溝に樹脂を充填する工程と、上記半導体ウエハをその裏面側から上記樹脂が露出するように研削する工程と、上記半導体ウエハを上記溝に沿って切断することにより上記電子回路毎に半導体装置として切り離す工程とを有する。



【特許請求の範囲】

【請求項1】主面に複数の電子回路が形成されている半導体ウエハに上記主面側から上記電子回路を区画する溝を形成する工程と、
上記溝に樹脂を充填する工程と、
上記半導体ウエハをその裏面側から上記樹脂が露出するように研削する工程と、
上記半導体ウエハを上記溝に沿って切断することにより上記電子回路毎に半導体回路として切り離す工程と、
を有する半導体装置のダイシング方法。

【請求項2】上記半導体ウエハの切断工程は、個々に切り離される上記半導体装置の側面に上記樹脂が残存するようになされる請求項1に記載の半導体装置のダイシング方法。

【請求項3】上記溝に樹脂を充填する際に上記半導体ウエハの主面が樹脂で被覆される請求項1又は2に記載の半導体装置のダイシング方法。

【請求項4】上記溝に樹脂を充填する工程はスピコートによりなされる請求項1、2又は3に記載の半導体装置のダイシング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、特に、ウエハレベルでパッケージ化され、小型化および高密度化された半導体装置のダイシング方法に関する。

【0002】

【従来の技術】従来、VLSI (Very Large Scale Integration) などの半導体装置においては、3年で7割の縮小化を実現し、小型化および高密度化を達成してきた。上記に伴い、半導体装置のパッケージ形態も小型化、高密度化が達成されてきた。例えば、DIP (Dual Inline Package) などのリード挿入型 (THD: Through Hole Mount Device) から、QFP (Quad Flat Package) などの表面実装型 (SMD: Surface Mount Device) に発展し、さらには出力端子を半導体チップの電子回路形成面上にエリア化したBGA (Ball Grid Array) へと小型化が進められてきた。さらに、半導体チップの大きさ程度でパッケージ化が可能なチップサイズパッケージ (CSP: Chip Size Package) が開発され、活発な研究がなれている。

【0003】上記の従来のチップサイズパッケージ形態の半導体装置およびその実装形態について図面を参照して説明する。図11(a)は従来のチップサイズパッケージ形態の半導体装置の斜視図であり、図11(b)は図11(a)中A-A'における断面図である。半導体チップの電子回路が形成された表面は窒化シリコン膜などの不図示の絶縁膜で被覆されており、前記絶縁膜には、前記電子回路のパッド電極に接続するように開口部が設けられ、電子回路のパッド電極に接続するように、

例えばはんだボールバンプあるいは金スタッドバンプなどのバンプ (突起電極) が形成されている。

【0004】図12は、上記のチップサイズパッケージ形態の半導体装置を実装基板に実装した装置の断面図である。上記の半導体装置を実装する実装基板は、例えばガラスエポキシ系材料よりなる基板30の上面において、実装する半導体装置のバンプ11の位置に対応する位置に形成された電極31と、電極31に接続して基板30の表面上、裏面上、あるいは基板内部などに形成されている図示しないプリント配線部を有している。上記の半導体装置を上記の実装基板に実装するには、実装基板の電極31に半導体装置のバンプ11を位置合わせしてマウントし、はんだボールバンプ (金スタッドバンプの場合は印刷などにより供給されたクリームはんだなど) をリフローさせて電極31とをバンプ11を機械的かつ電氣的に接続し、さらに実装基板と半導体装置の間隙部をエポキシ樹脂などの被膜樹脂40により封止して、図面に示す実装形態とする。

【0005】上記の半導体装置の製造方法について図面を参照して説明する。まず、図13(a)に示すように、複数個分の半導体チップの電子回路パターンが繰返し形成された半導体ウエハ10上に、半導体チップの電子回路パターンに接続するようにはんだボールバンプなどのバンプ11を形成する。

【0006】次に、図13(b)に示すように、半導体ウエハ10のバンプ11形成面上に、紫外線硬化樹脂シートなどからなるバックグランド用のウエハ固定用シート20を張り付ける。ウエハ固定用シート20は、バンプ11の高さを十分に吸収する程度の膜厚とする。次に、電子回路形成面の裏面側から半導体ウエハ10を所定厚さとなるまでグラインダーBGにより研削する。

【0007】次に、図13(c)に示すように、ダイサーDにより、上記のように所定の厚さとなった半導体ウエハ10を所定の切断位置で切断し、個々に分割された半導体チップ10aとする。上記分割された半導体チップ10aをウエハ固定用シート20から剥がして、図11に示す半導体装置とすることができる。

【0008】

【発明が解決しようとする課題】しかしながら、上記の半導体装置は、図14に示すように、ダイサーにより半導体ウエハを所定の切断位置Xで切断し、個々の半導体チップ10aに分割する工程において、電子回路形成面の裏面側における半導体チップ10aの角部近傍の表層部分が欠けてしまうクラックC (あるいはマイクロクラック) が発生するという問題が生じる。クラックCが発生すると、半導体チップの抗折強度などの物理的強度が低下してしまう問題を生じる他、シリコンくずの発生の原因となり、クリーンな環境で用いる必要がある半導体装置としては使用不可となってしまう。特に、シリコンは電気伝導性があるので、基板配線上にシリコンくずが

落下した場合は短絡の原因となる。また、脆性の金属である半導体シリコンの角部が剥き出しになっている構造であるので、衝撃や他の部品との接触により、容易に稜線（角部表層部）などの欠けが生じやすく、上記のシリコンくずを発生しやすくしている。

【0009】上記のクラックが形成される原因について図面を参照して説明する。図15(a)に示すように、ウエハ固定用シート20に張り付けられて、所定の厚さまで研削された半導体ウエハ10の所定の切断位置をダイサーDにより切断する際に、ダイサーDがある程度の深さまで切り進んでいくとダイサーにより押される応力により切断位置の近傍領域にクラックCが発生してしまう。このクラックは、半導体ウエハの厚さが薄くなるほど発生しやすくなっており、半導体チップの小型化に伴ってその発生が顕著になってきた。上記のクラックCが形成されると、図15(b)に示すように、ダイサーDが完全に所定の切断位置を切断したときに、半導体チップ10aの電子回路形成面の裏面側の角部表層部における剥がれとなってしまふ。

【0010】また、上記のようにダイサーDが完全に所定の切断位置を切断するときに、紫外線硬化樹脂などからなるウエハ固定用シートの少なくとも一部をダイサーが切断することになるので、ダイサーDの歯は樹脂により目詰まりを起こすという問題を生じる。これは、本来シリコン切断用のダイサーで樹脂部分を切断してしまうからである。

【0011】本発明は上記の問題を鑑みなされたものであり、本発明の目的は、ダイサーの歯が樹脂により目詰まりを起こさず、また、シリコンくずの原因となる半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる半導体装置のダイシング方法を提供することである。

【0012】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置のダイシング方法は、主面に複数の電子回路が形成されている半導体ウエハに上記主面側から上記電子回路を区画する溝を形成する工程と、上記溝に樹脂を充填する工程と、上記半導体ウエハをその裏面側から上記樹脂が露出するように研削する工程と、上記半導体ウエハを上記溝に沿って切断することにより上記電子回路毎に半導体回路として切り離す工程とを有する。

【0013】また、本発明の半導体装置のダイシング方法は、好適には、上記半導体ウエハの切断工程は、個々に切り離される上記半導体装置の側面に上記樹脂が残存するようになされる。

【0014】更に、本発明の半導体装置のダイシング方法は、好適には、上記溝に樹脂を充填する際に上記半導体ウエハの主面が樹脂で被覆される。更に、好適には、

上記溝に樹脂を充填する工程はスピンコートによりなされる。

【0015】上記の本発明の半導体装置のダイシング方法によれば、半導体装置（半導体チップ）を半導体ウエハから個々に分割する際に、半導体ウエハの切断位置に形成された溝に埋め込まれた樹脂（側面保護層）を切断すればよく、シリコンくずの原因となる半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる。また、上記の溝を形成するためにはシリコン用のダイサーを用いることができ、側面保護層を切断するダイサーとしては樹脂用のダイサーなど、側面保護層材料に適したダイサーを用いることができる。従ってその製造工程において、ダイサーの歯が樹脂などにより目詰まりを起こすことなく製造することが可能である。

【0016】

【発明の実施の形態】以下に、本発明の半導体装置のダイシング方法の実施の形態について、図面を参照して説明する。

【0017】第1実施形態

図1(a)は本実施形態にかかる半導体装置をバンプ（突起電極）形成面側から見たときの斜視図であり、図1(b)は裏面側から見たときの斜視図である。また、図1(c)は図1(a)中のA-A'における断面図である。半導体チップ10aの電子回路が形成されている表面は窒化シリコン膜などの不図示の絶縁膜で被覆されており、前記絶縁膜には、前記電子回路のパッド電極に接続するように開口部が設けられ、電子回路のパッド電極に接続するように、例えばはんだボールバンプあるいは金スタッドバンプなどのバンプ（突起電極）11が形成されている。半導体チップ10aは、例えば125μmの厚さである。上記の半導体チップ10aの側面は、例えばエポキシ樹脂などの熱硬化性樹脂あるいはポリイミド樹脂などの熱可塑性樹脂などからなり、30μmの膜厚を有する側面保護層13aにより被覆されている。また、上記の半導体チップ10aのバンプ形成面は、少なくともバンプ11の一部を露出させながら例えばBステージの樹脂などからなり25μmの膜厚を有するバンプ形成面保護層14により被覆されている。

【0018】上記の本実施形態の半導体装置は、脆性なシリコンの角部が剥き出しになっていないので、衝撃などによりシリコンくずを発生しにくい構造となっている。また、上記の半導体チップを半導体ウエハから個々に分割する際には、半導体ウエハの切断位置に形成された溝に埋め込まれた上記の側面保護層を切断すればよい構造となっており、半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる。また、上記の溝を形成するためにはシリコン用のダイサーを用いることができ、側面保護層を切断するダイサーとしては樹脂用のダ

イサーなど、側面保護層材料に適したダイサーを用いることができる。従ってその製造工程において、ダイサーの歯が樹脂などにより目詰まりを起こすことなく、その切断処理を行うことが可能である。

【0019】上記の半導体装置の製造方法について図面を参照して説明する。まず、図2(a)に示すように、複数個分の半導体チップの電子回路パターンが繰り返し形成された半導体ウエハ10上に、半導体チップの電子回路パターンに接続するようにはんだボールバンプなどのバンプ11を形成する。

【0020】次に、図2(b)に示すように、半導体ウエハ10のバンプ11形成面に、シリコン切断用の第1のダイサーD1により、半導体チップの電子回路パターンを所定の領域毎に区分するように、例えば85 μ mの第1の幅W1および150 μ mの深さdとなる溝12を形成する。

【0021】次に、図2(c)に示すように、例えばスクリーン印刷、バブルジェット印刷あるいはマイクロシリンジによる注入により、溝12を例えばエポキシ樹脂あるいはポリイミド樹脂などにより埋め込んで第1保護層13を形成する。

【0022】次に、図3(d)に示すように、例えばスピコートによりBステージの樹脂を塗布して、少なくともバンプ11の一部を露出させながら25 μ mの膜厚でバンプ形成面を被覆するように第2保護層(バンプ形成面保護層)14を形成する。

【0023】次に、図3(e)に示すように、半導体ウエハ10のバンプ11形成面上に、紫外線硬化樹脂シートなどからなるバックグランド用のウエハ固定用シート20を張り付ける。ウエハ固定用シート20は、バンプ11の高さを十分に吸収する程度の膜厚とする。次に、電子回路形成面の裏面側から第1保護層13が露出するまで半導体ウエハ10をグラインダーBGにより研削する。例えば、半導体ウエハ10の厚さとして、溝12の深さdよりも薄い所定の厚さt(例えば125 μ m程度)となるまで研削する。これにより、半導体ウエハは所定の領域毎の複数個の半導体チップ10aに分割される。

【0024】次に、図4(f)に示すように、樹脂切断用の第2ダイサーD2により、上記のように露出した第1保護層13を複数個の半導体チップ10aの側面を被覆するように残しながら切断して側面保護層13aとする。例えば、切り幅W2を25 μ mとし、半導体チップ10aの側面にそれぞれ30 μ mずつ残すように切断する。またこのとき、連続的に第2保護層14も個々の半導体チップ毎に分割される。

【0025】次に、図4(g)に示すように、上記分割され、側面およびバンプ形成面をそれぞれ側面保護層13aおよび第2保護層(バンプ形成面保護層)により被覆された半導体チップ10aをウエハ固定用シート20

から剥がして、図1に示す半導体装置とすることができ。また、図4(h)に示すように、上記のようにウエハ固定用シート20から剥がした後、第1保護層13aおよび第2保護層14を剥離することで、ベアチップ状態の半導体チップとして使用することも可能である。

【0026】上記のように、本実施形態によれば、半導体チップを半導体ウエハから個々に分割する際に、半導体ウエハの切断位置に形成された溝に埋め込まれた第1保護層(側面保護層)を切断すればよく、シリコンくずの原因となる半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる。また、溝を形成するためにはシリコン用のダイサーを用いることができ、一方第1保護層(側面保護層)を切断するためには樹脂用のダイサーなど、側面保護層材料に適したダイサーを用いることができる。従って、ダイサーの歯が樹脂などにより目詰まりを起こすことがなくなる。

【0027】図5は、本実施形態の半導体装置を実装基板に実装した電子回路装置の断面図である。実装基板は、例えばガラスエポキシ系材料よりなる基板30の上面において、実装する半導体装置のバンプ11の位置に対応する位置に形成された電極31と、電極31に接続され、基板30の表面上、裏面上、あるいは基板内部などに形成されている図示しないプリント配線部を有している。上記の半導体装置を上記の実装基板に実装するには、実装基板の電極31に半導体装置のバンプ11を位置合わせしてマウントし、はんだボールバンプ(金スタッドバンプの場合は印刷などにより供給されたクリームはんだなど)をリフローさせて電極31とをバンプ11を機械的かつ電氣的に接続する。このとき、第2保護層(バンプ形成面保護層)14としてBステージの樹脂を用いている場合、この樹脂が溶融して、実装基板と半導体装置の間隙部を封止する封止樹脂14aとすることができる。また、別途、実装基板と半導体装置の間隙部を樹脂により封止してもよい。

【0028】第2実施形態

図6(a)は本実施形態にかかる半導体装置をバンプ(突起電極)形成面側から見たときの斜視図であり、図6(b)は裏面側から見たときの斜視図である。また、図6(c)は図6(a)中のA-A'における断面図である。半導体チップ10aの電子回路が形成されている表面は窒化シリコン膜などの不図示の絶縁膜で被覆されており、前記絶縁膜には、前記電子回路のパッド電極に接続するように開口部が設けられ、電子回路のパッド電極に接続するように、例えばはんだボールバンプあるいは金スタッドバンプなどのバンプ(突起電極)11が形成されている。半導体チップ10aは、例えば125 μ mの厚さである。上記の半導体チップ10aの側面は、例えば30 μ mの膜厚を有する側面保護層13aにより被覆されており、さらに半導体チップ10aのバンプ形

成面は、少なくともバンプ11の一部を露出させながら例えば25 μ mの膜厚を有するバンプ形成面保護層14により被覆されている。側面保護層13aとバンプ形成面保護層14とはエポキシ樹脂などの熱硬化性樹脂あるいはポリイミド樹脂などの熱可塑性樹脂などからなり、一体に形成されている。

【0029】上記の本実施形態の半導体装置は、脆性なシリコンの角部が剥き出しになっていないので、衝撃などによりシリコンくずを発生しにくい構造となっている。また、上記の半導体チップを半導体ウエハから個々に分割する際には、半導体ウエハの切断位置に形成された溝に埋め込まれた上記の側面保護層を切断すればよい構造となっており、半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる。また、上記の溝を形成するためにはシリコン用のダイサーを用いることができ、側面保護層を切断するダイサーとしては樹脂用のダイサーなど、側面保護層材料に適したダイサーを用いることができる。従ってその製造工程において、ダイサーの歯が樹脂などにより目詰まりを起こすことなく製造することが可能である。

【0030】上記の半導体装置の製造方法について図面を参照して説明する。まず、図7(a)に示すように、複数個分の半導体チップの電子回路パターンが繰り返し形成された半導体ウエハ10上に、半導体チップの電子回路パターンに接続するようにはんだボールバンプなどのバンプ11を形成する。

【0031】次に、図7(b)に示すように、半導体ウエハ10のバンプ11形成面に、シリコン切断用の第1のダイサーD1により、半導体チップの電子回路パターンを所定の領域毎に区分するように、例えば85 μ mの第1の幅W1および150 μ mの深さdとなる溝12を形成する。

【0032】次に、図7(c)に示すように、例えばスピコートによりエポキシ樹脂などの熱硬化性樹脂あるいはポリイミド樹脂などの熱可塑性樹脂などを塗布して、溝12を埋め込んで第1保護層13を形成すると同時に、少なくともバンプ11の一部を露出させながら25 μ mの膜厚でバンプ形成面を被覆するように第2保護層(バンプ形成面保護層)14を一体に形成する。

【0033】次に、図8(d)に示すように、半導体ウエハ10のバンプ11形成面上に、紫外線硬化樹脂シートなどからなるバックグラインド用のウエハ固定用シート20を張り付ける。ウエハ固定用シート20は、バンプ11の高さを十分に吸収する程度の膜厚とする。次に、電子回路形成面の裏面側から第1保護層13が露出するまで半導体ウエハ10をグラインダーBGにより研削する。例えば、半導体ウエハ10の厚さとして、溝12の深さdよりも薄い所定の厚さt(例えば125 μ m程度)となるまで研削する。これにより、半導体ウエハ

は所定の領域毎の複数個の半導体チップ10aに分割される。

【0034】次に、図8(e)に示すように、樹脂切断用の第2ダイサーD2により、上記のように露出した第1保護層13を複数個の半導体チップ10aの側面を被覆するように残しながら切断して側面保護層13aとする。例えば、切り幅W2を25 μ mとし、半導体チップ10aの側面にそれぞれ30 μ mずつ残すように切断する。またこのとき、連続的に第2保護層14も個々の半導体チップ毎に分割する。

【0035】次に、図8(f)に示すように、上記分割され、側面およびバンプ形成面をそれぞれ側面保護層13aおよび第2保護層(バンプ形成面保護層)により被覆された半導体チップ10aをウエハ固定用シート20から剥がして、図6に示す半導体装置とすることができ。また、上記のようにウエハ固定用シート20から剥がした後、第1保護層13aおよび第2保護層14を剥離することで、ベアチップ状態の半導体チップとして使用することも可能である。

【0036】上記のように、本実施形態によれば、半導体チップを半導体ウエハから個々に分割する際に、半導体ウエハの切断位置に形成された溝に埋め込まれた第1保護層(側面保護層)を切断すればよく、シリコンくずの原因となる半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる。また、溝を形成するためにはシリコン用のダイサーを用いることができ、一方第1保護層(側面保護層)を切断するためには樹脂用のダイサーなど、側面保護層材料に適したダイサーを用いることができる。従って、ダイサーの歯が樹脂などにより目詰まりを起こすことがなくなる。

【0037】上記の本実施形態の半導体装置は、第1実施形態と同様に実装基板上に実装して用いることができる。

【0038】第3実施形態

図9(a)は本実施形態にかかる半導体装置をバンプ(突起電極)形成面側から見たときの斜視図であり、図9(b)は裏面側から見たときの斜視図である。また、図9(c)は図9(a)中のA-A'における断面図である。半導体チップ10aの電子回路が形成されている表面は窒化シリコン膜などの不図示の絶縁膜で被覆されており、前記絶縁膜には、前記電子回路のパッド電極に接続するように開口部が設けられ、電子回路のパッド電極に接続するように、例えばはんだボールバンプあるいは金スタッドバンプなどのバンプ(突起電極)11が形成されている。半導体チップ10aは、例えば125 μ mの厚さである。上記の半導体チップ10aの側面は、例えばエポキシ樹脂などの熱硬化性樹脂あるいはポリイミド樹脂などの熱可塑性樹脂などからなり、30 μ mの膜厚を有する側面保護層13aにより被覆されている。

【0039】上記の本実施形態の半導体装置は、脆性なシリコンの角部が剥き出しになっていないので、衝撃などによりシリコンくずが発生しにくい構造となっている。また、上記の半導体チップを半導体ウエハから個々に分割する際には、半導体ウエハの切断位置に形成された溝に埋め込まれた上記の側面保護層を切断すればよい構造となっており、半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる。また、上記の溝を形成するためにはシリコン用のダイサーを用いることができ、側面保護層を切断するダイサーとしては樹脂用のダイサーなど、側面保護層材料に適したダイサーを用いることができる。従ってその製造工程において、ダイサーの歯が樹脂などにより目詰まりを起こすことなく製造することが可能である。

【0040】上記の半導体装置の製造方法について図面を参照して説明する。半導体ウエハ10上にバンプ11を形成し、半導体チップの電子回路パターンを所定の領域毎に区分するように溝12を形成し、例えばスクリーン印刷、バブルジェット印刷あるいはマイクロシリンジによる注入により、エポキシ樹脂などの熱硬化性樹脂あるいはポリイミド樹脂などの熱可塑性樹脂などで溝12を埋め込んで第1保護層13を形成する工程までは、図2に示す第1実施形態と同様である。

【0041】上記のように第1保護層13を形成した後、図10(d)に示すように、半導体ウエハ10のバンプ11形成面上に、紫外線硬化樹脂シートなどからなるバックグランド用のウエハ固定用シート20を張り付ける。ウエハ固定用シート20は、バンプ11の高さを十分に吸収する程度の膜厚とする。次に、電子回路形成面の裏面側から第1保護層13が露出するまで半導体ウエハ10をグラインダーBGにより研削する。例えば、半導体ウエハ10の厚さとして、溝12の深さdよりも薄い所定の厚さt（例えば125 μ m程度）となるまで研削する。これにより、半導体ウエハは所定の領域毎の複数個の半導体チップ10aに分割される。

【0042】次に、図10(e)に示すように、樹脂切断用の第2ダイサーD2により、上記のように露出した第1保護層13を複数個の半導体チップ10aの側面を被覆するように残しながら切断して側面保護層13aとする。例えば、切り幅W2を25 μ mとし、半導体チップ10aの側面にそれぞれ30 μ mずつ残すように切断する。

【0043】次に、図10(f)に示すように、上記分割され、側面を側面保護層13aにより被覆された半導体チップ10aをウエハ固定用シート20から剥がして、図9に示す半導体装置とすることができる。また、上記のようにウエハ固定用シート20から剥がした後、側面保護層13aを剥離することで、ベアチップ状態の半導体チップとして使用することも可能である。

【0044】上記のように、本実施形態によれば、半導体チップを半導体ウエハから個々に分割する際に、半導体ウエハの切断位置に形成された溝に埋め込まれた第1保護層（側面保護層）を切断すればよく、シリコンくずの原因となる半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる。また、溝を形成するためにはシリコン用のダイサーを用いることができ、一方第1保護層（側面保護層）を切断するためには樹脂用のダイサーなど、側面保護層材料に適したダイサーを用いることができる。従って、ダイサーの歯が樹脂などにより目詰まりを起こすことがなくなる。

【0045】上記の本実施形態の半導体装置は、第1実施形態と同様に実装基板上に実装して用いることができる。

【0046】本発明の半導体装置としては、MOSトランジスタ系、バイポーラ系、BiCMOS系、あるいはロジックとメモリを搭載した半導体装置など、半導体装置であれば何にでも適用可能である。

【0047】本発明の半導体装置のダイシング方法は上記の実施の形態に限定されない。例えば、半導体チップの側面やバンプ形成面を被覆する保護膜は、上記に記載の樹脂に限定されず、種々の樹脂材料を用いることができる。さらに、樹脂以外の材料を用いることも可能である。また、半導体チップに形成する突起電極としては、はんだボールバンプ、金スタッドバンプなどのバンプをメッキ法やボールバンプ法により形成することができ、その材料や形成方法には限定はない。さらに、再配線を有する場合や有さない場合を含む金属ポストを用いることも可能である。その他、本発明の要旨を逸脱しない範囲で種々の変更が可能である。

【0048】

【発明の効果】本発明の半導体装置のダイシング方法によれば、ダイサーの歯が樹脂により目詰まりを起こすことはなく、また、シリコンくずの原因となる半導体チップの電子回路形成面の裏面側の表層部分のクラックの発生を防止して個々の半導体チップに分割することができる。

【図面の簡単な説明】

【図1】図1(a)は第1実施形態に係る半導体装置をバンプ（突起電極）形成面側から見たときの斜視図であり、図1(b)は裏面側から見たときの斜視図であり、図1(c)は図1(a)中のA-A'における断面図である。

【図2】図2は第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図であり、(a)はバンプの形成工程まで、(b)は溝の形成工程まで、(c)は第1保護層の形成工程までを示す。

【図3】図3は図2の続きの工程を示し、(d)は第2保護層の形成工程まで、(e)は半導体ウエハをグライ

10

20

30

40

50

1 1

ンダーにより研削する工程までを示す。

【図4】図4は図3の続きの工程を示し、(f)は第1保護層を切断する工程まで、(g)は半導体チップをウエハ固定シートから剥離する工程まで、(h)は第1保護層および第2保護層を剥離する工程までを示す。

【図5】図5は第1実施形態に係る半導体装置を実装基板に実装したときの断面図である。

【図6】図6(a)は第2実施形態に係る半導体装置をバンプ(突起電極)形成面側から見たときの斜視図であり、図6(b)は裏面側から見たときの斜視図であり、図6(c)は図6(a)中のA-A'における断面図である。

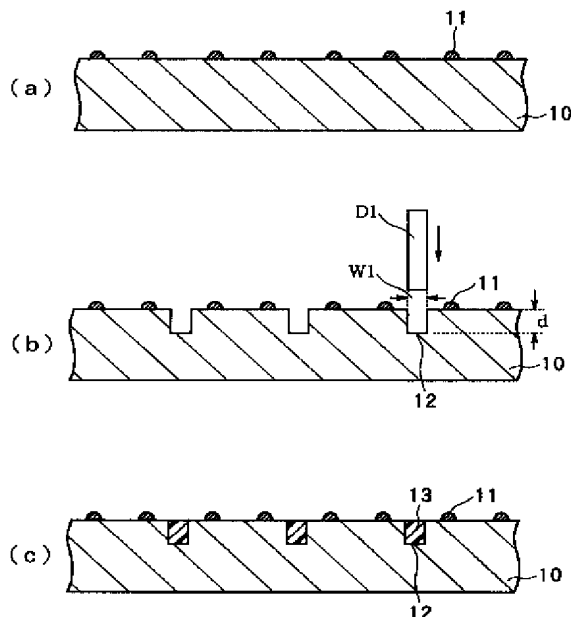
【図7】図7は第2実施形態に係る半導体装置の製造方法の製造工程を示す断面図であり、(a)はバンプの形成工程まで、(b)は溝の形成工程まで、(c)は第1保護層および第2保護層の形成工程までを示す。

【図8】図8は図7の続きの工程を示し、(d)は半導体ウエハをグラインダーにより研削する工程まで、(e)は第1保護層を切断する工程まで、(f)は半導体チップをウエハ固定シートから剥離する工程までを示す。

【図9】図9(a)は第3実施形態に係る半導体装置をバンプ(突起電極)形成面側から見たときの斜視図であり、図9(b)は裏面側から見たときの斜視図であり、図9(c)は図9(a)中のA-A'における断面図である。

【図10】図10は第2実施形態に係る半導体装置の製

【図2】



1 2

造方法の製造工程を示す断面図であり、(d)は半導体ウエハをグラインダーにより研削する工程まで、(e)は第1保護層を切断する工程まで、(f)は半導体チップをウエハ固定シートから剥離する工程までを示す。

【図11】図11(a)は従来例に係る半導体装置をバンプ(突起電極)形成面側から見たときの斜視図であり、図11(b)は図11(a)中のA-A'における断面図である。

【図12】図12は従来例に係る半導体装置を実装基板に実装したときの断面図である。

【図13】図13は従来例に係る半導体装置の製造方法の製造工程を示す断面図であり、(a)はバンプの形成工程まで、(b)は半導体ウエハをグラインダーにより研削する工程まで、(c)はダイサーにより個々の半導体チップに分割する工程までを示す。

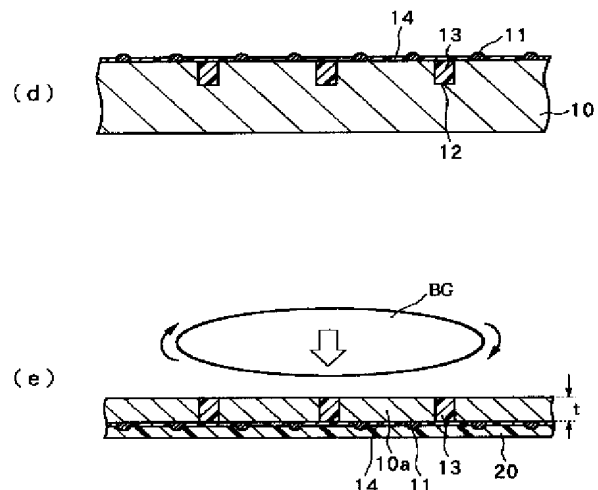
【図14】図14は従来例に係る半導体装置の問題点を説明する半導体装置の平面図である。

【図15】図15(a)および(b)は従来例に係る半導体装置の製造方法の問題点を説明する半導体装置の断面図である。

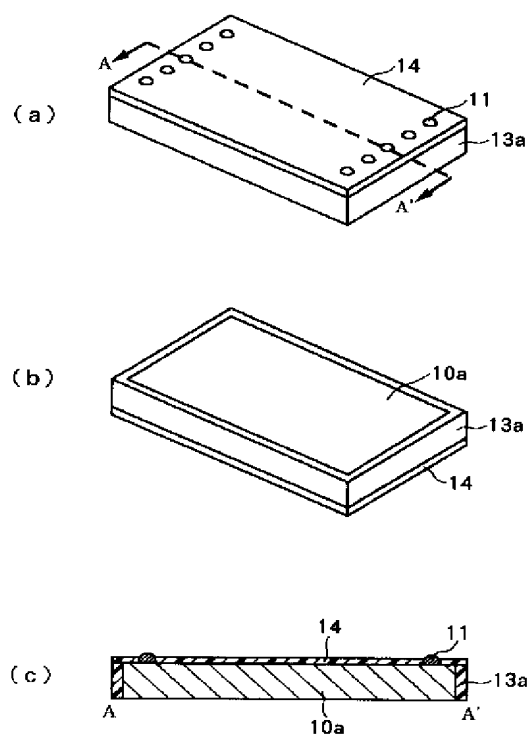
【符号の説明】

10…半導体ウエハ、10a…半導体チップ、11…バンプ、12…溝、13…第1保護層、13a…側面保護層、14…第2保護層(バンプ形成面保護層)、14a、40…封止樹脂、30…基板、31…電極、D1、D2、D…ダイサー、BG…グラインダー、X…切断位置、C…クラック。

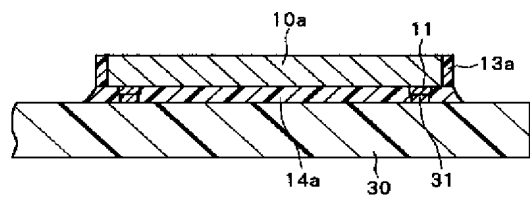
【図3】



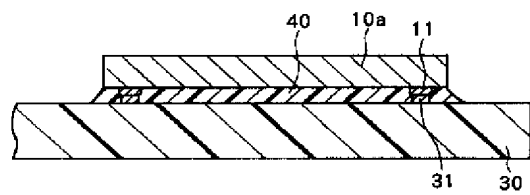
【図1】



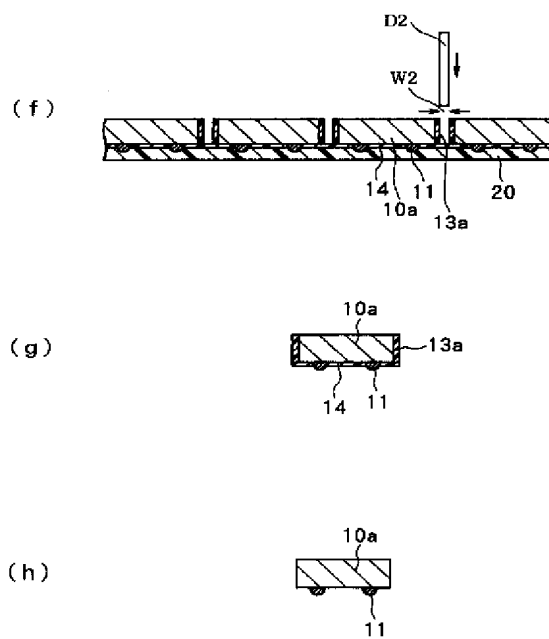
【図5】



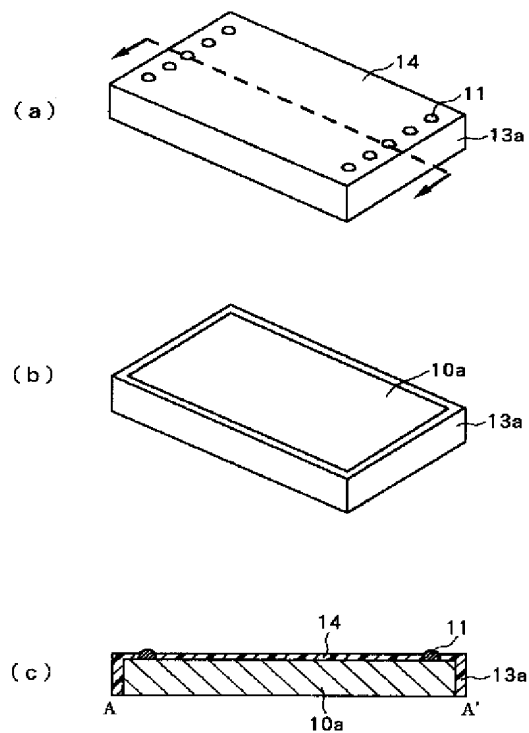
【図12】



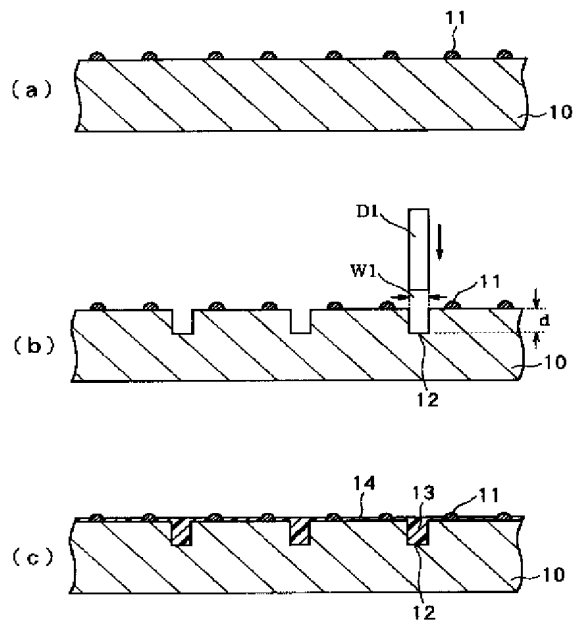
【図4】



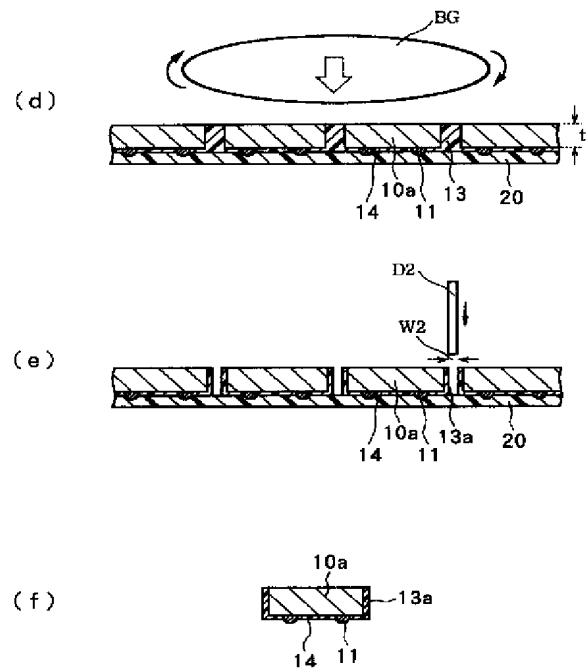
【図6】



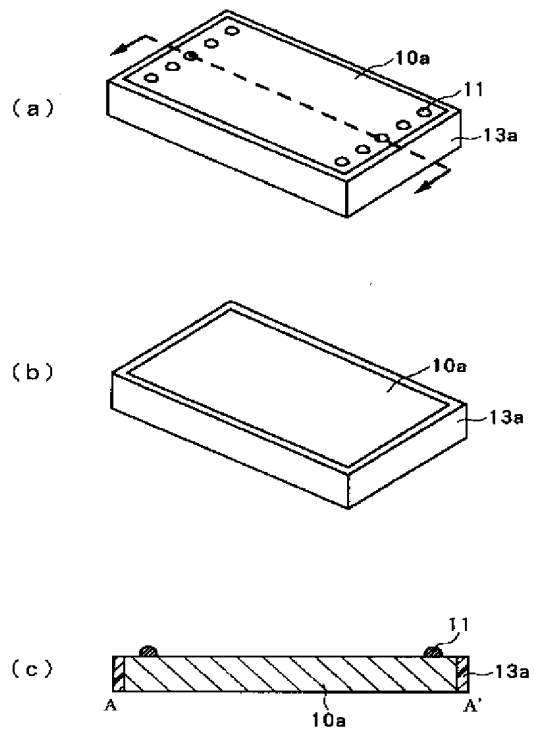
【図7】



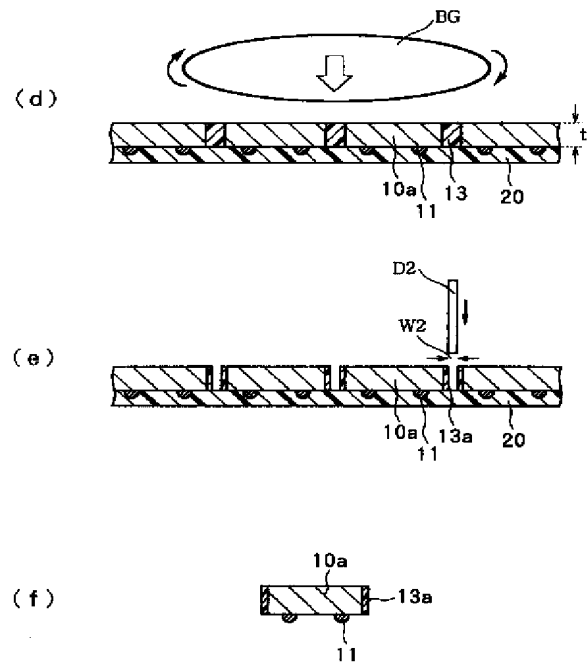
【図8】



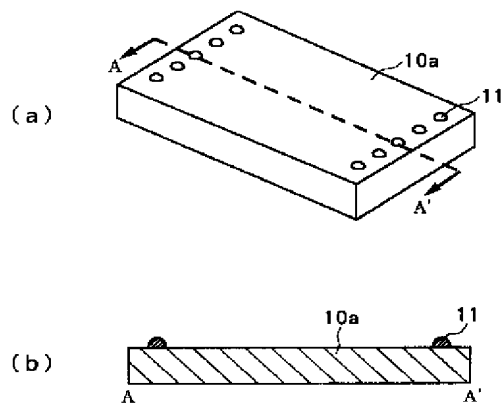
【図9】



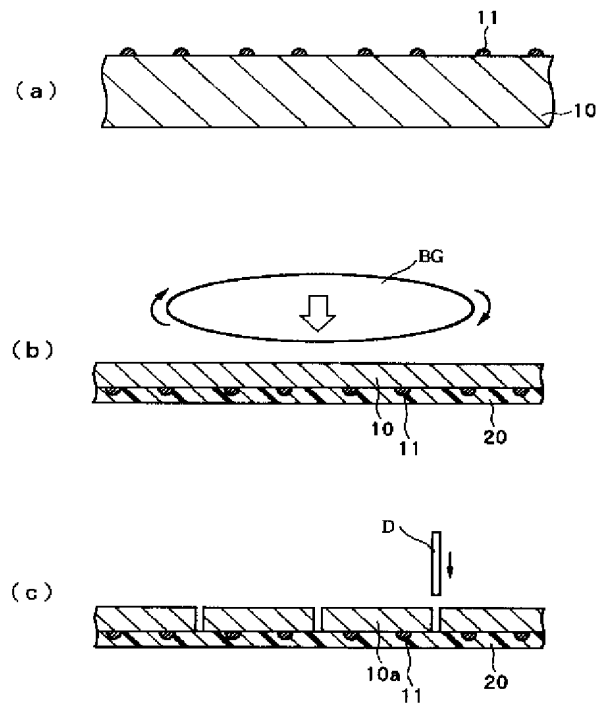
【図10】



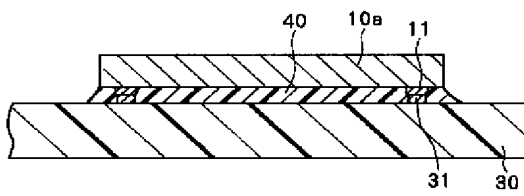
【図11】



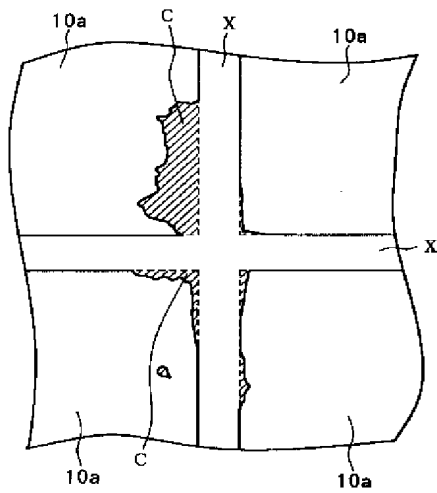
【図13】



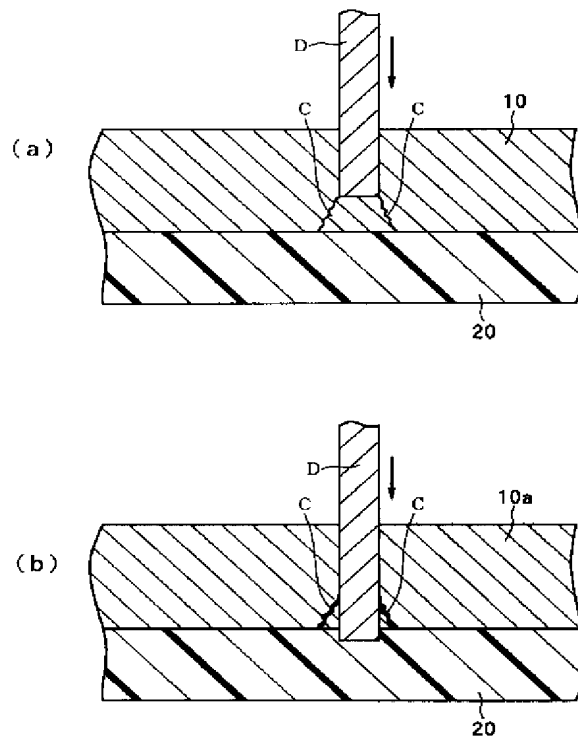
I



【図14】



【図15】



フロントページの続き

(72)発明者 山口 克己
大分県速見郡日出町大字川崎字高尾4260番
地 日本テキサス・インスツルメンツ株式
会社内

DERWENT-ACC-NO: 2001-262810

DERWENT-WEEK: 200127

COPYRIGHT 2009 DERWENT INFORMATION LTD

TITLE: Dicing procedure of semiconductor device such as VLSI circuit device, involves forming groove on surface of wafer and detaching electronic circuit as semiconductor device by cutting semiconductor wafer along groove

INVENTOR: MASUMOTO K; MASUMOTO M ; YAMAGUCHI K

PATENT-ASSIGNEE: NIPPON TEXAS INSTR KK[TEXI]

PRIORITY-DATA: 1999JP-228665 (August 12, 1999)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
JP 2001053033 A	February 23, 2001	JA

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2001053033A	N/A	1999JP-228665	August 12, 1999

INT-CL-CURRENT:

TYPE	IPC DATE
CIPP	H01L21/301 20060101

ABSTRACTED-PUB-NO: JP 2001053033 A

BASIC-ABSTRACT:

NOVELTY - A groove is formed on main surface of semiconductor wafer for

forming electronic circuit. Resin is filled in the groove, so that the resin exposes the semiconductor wafer from the rear side. The electronic circuit is detached as a semiconductor device by cutting the semiconductor wafer along the groove.

USE - For dicing semiconductor device such as very large scale integration (VLSI), quad flat package (QFP), ball grid array (BGA), chip size package (CSP).

ADVANTAGE - Generation of crack in semiconductor chip caused due to silicon waste, is prevented. The tooth of a dicer does not generate clogging with resin.

DESCRIPTION OF DRAWING(S) - The figure shows the dicing procedure of semiconductor device. (Drawing includes non-English language text).

CHOSEN-DRAWING: Dwg.4/15

TITLE-TERMS: DICE PROCEDURE SEMICONDUCTOR DEVICE VLSI
CIRCUIT FORMING GROOVE SURFACE WAFER
DETACH ELECTRONIC CUT

DERWENT-CLASS: U11

EPI-CODES: U11-C06A2;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: 2001-188164